

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-330269

(43)Date of publication of application : 22.12.1997

(51)Int.Cl.

G06F 12/04

G06F 7/00

(21)Application number : 08-148945

(71)Applicant : SONY CORP

(22)Date of filing : 11.06.1996

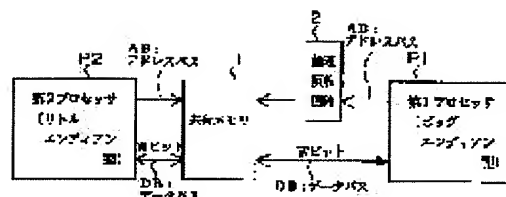
(72)Inventor : TAGO KAZUhide

(54) ACCESS SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To share data in a shared memory as the same value by plural processes without lowering the execution efficiency of processors.

SOLUTION: In this system having a shared memory 1, so-called big Endian type processor P1 accessible to this shared memory 1 and little Endian type processor P2, a logic inverter circuit 2 is provided for logically inverting the prescribed bit of an address signal outputted onto an address bus AB connecting any one type processor to the shared memory 1, the address of access to the shared memory is charged, and the arrangement of access data per unit access is made equal to the arrangement of data accessed by the other type processor.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330269

(43) 公開日 平成9年(1997)12月22日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|-----------------------|--------------|
| G 0 6 F 12/04 7/00 | 5 1 0 | | G 0 6 F 12/04 7/00 | 5 1 0 G G |

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平8-148945

(22) 出願日 平成8年(1996)6月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田子 和秀

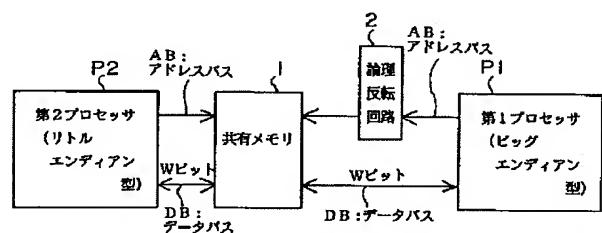
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54) 【発明の名称】 アクセス方式

(57) 【要約】

【課題】 プロセッサの実行効率を低下させることなく、共有メモリ内のデータを複数のプロセッサ間で同一値として共有できるようにする。

【解決手段】 共有メモリ1と、この共有メモリ1に対してアクセス可能ないわゆるビッグエンディアン型のプロセッサP1とリトルエンディアン型のプロセッサP2とを有するシステムにおいて、いずれか一方の型式の前記プロセッサと共有メモリ1とを接続するアドレスバスAB上に出力されたアドレス信号の所定ビットを論理反転する論理反転回路2を設けて、共有メモリ1に対するアクセスアドレスを変更し、単位アクセス当たりのアクセスデータの配列を他方の型式のプロセッサによりアクセスされたデータの配列と同一にする。



【特許請求の範囲】

【請求項1】 Wビットのデータバスを持つ共有メモリと、この共有メモリに対して $n \times W$ ビットのデータをアクセスする場合に、Wビットデータのアクセスを n 回行うに当たって、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も低位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も高位のアドレスを出力する型式のプロセッサと、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も高位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も低位のアドレスを出力する型式のプロセッサとを有するシステムにおいて、

前記 n の値が2の m 乗の場合に、いずれか一方の型式の前記プロセッサと前記共有メモリとを接続するアドレスバス上に出力されたアドレス信号のうち最下位の m ビットを論理反転する論理反転回路を設けた、ことを特徴とするアクセス方式。

【請求項2】 Wビットのデータバスを持つ共有メモリと、この共有メモリに対して $n \times W$ ビットのデータをアクセスする場合に、Wビットデータのアクセスを n 回行うに当たって、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も低位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も高位のアドレスを出力する型式のプロセッサと、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も高位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も低位のアドレスを出力する型式のプロセッサとを有するシステムにおいて、

いずれか一方の型式の前記プロセッサと前記共有メモリとを接続するアドレスバス上に出力されたアドレス信号の全てのビットを論理反転する論理反転回路を設けた、ことを特徴とするアクセス方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、共有メモリに対して1つのデータを複数番地に亘ってアクセスする際のアクセス方式が異なる複数のプロセッサ間で行うアクセス方式に関する。

【0002】

【従来の技術】プロセッサがメモリ内のデータをアクセスする際には、メモリ内のどの位置のデータにアクセスするかを示すためのアドレス信号を出力するが、Wビットのデータバスを持つメモリに対して $n \times W$ ビットのデータをアクセスする場合は、Wビットデータのアクセスを n 回行う必要がある。この n 回のうち、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も高位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も低位のアドレスを出力する、い

ゆるリトルエンディアン型のプロセッサと、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も低位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も高位のアドレスを出力する、いわゆるビッグエンディアン型のプロセッサとが知られている。

【0003】このようにアクセス方式の異なる2個のプロセッサと、それら双方からアクセス可能な共有メモリからなるシステムを構成して、 $n \times W$ ビットの1つのデータを共有メモリの n 個の番にWビットずつ振り分けて格納し、双方のプロセッサからアクセスした場合、一方のプロセッサが認識したデータと、他方のプロセッサが認識したデータとでは、図6に示したように、Wビット単位での並び方が逆転したものとなり、両プロセッサ間でデータを同一値として共有することができなくなる。そこで、従来は、いずれか一方のプロセッサが、データアクセス時にWビット単位の並びを逆転する処理をプログラムに従って行っていた。

【0004】

【発明が解決しようとする課題】しかし、この方式は、プログラムが複雑化すると共に、プロセッサの実行効率が低下するという問題があった。本発明は、このような背景の下になされたもので、その目的は、プロセッサの実行効率を低下させることなく、共有メモリ内のデータを複数のプロセッサ間で同一値として共有できるようにすることにある。

【0005】

【課題を解決するための手段】本発明は、Wビットのデータバスを持つ共有メモリと、この共有メモリに対して $n \times W$ ビットのデータをアクセスする場合に、Wビットデータのアクセスを n 回行うに当たって、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も低位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も高位のアドレスを出力する型式のプロセッサと、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も高位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も低位のアドレスを出力する型式のプロセッサとを有するシステムにおいて、前記 n の値が2の m 乗の場合に、いずれか一方の型式の前記プロセッサと前記共有メモリとを接続するアドレスバス上に出力されたアドレス信号のうち最下位の m ビットを論理反転する論理反転回路を設けている。

【0006】また、本発明は、Wビットのデータバスを持つ共有メモリと、この共有メモリに対して $n \times W$ ビットのデータをアクセスする場合に、Wビットデータのアクセスを n 回行うに当たって、 $n \times W$ ビットのデータの最上位のWビットデータをアクセスする際には最も低位のアドレスを出力し、最下位のWビットデータをアクセスする際には最も高位のアドレスを出力する型式のプロ

セッサと、 $n \times W$ ビットのデータの最上位の W ビットデータをアクセスする際には最も高位のアドレスを出力し、最下位の W ビットデータをアクセスする際には最も低位のアドレスを出力する型式のプロセッサとを有するシステムにおいて、いずれか一方の型式の前記プロセッサと前記共有メモリとを接続するアドレスバス上に出力されたアドレス信号の全てのビットを論理反転する論理反転回路を設けている。

【0007】本発明によれば、前記論理反転回路により共有メモリに対するアクセスアドレスを変更し、単位アクセス当たりのアクセスデータの配列を他方の型式のプロセッサによりアクセスされたデータの配列と同一にするので、共有メモリ上の複数アドレス位置に分納されたデータを同一の値として共有させるために、単位アクセス当たりのアクセスデータの配列を変更するためのプログラムを用いる必要がなくなって、プログラムが複雑化するのを回避でき、プロセッサの実行効率が低下するのを防止することができる。

【0008】

【発明の実施の形態】以下、本発明の実施の形態例を図面に基いて説明する。図1は、本発明の実施の形態例によるアクセス方式の構成を示す構成図である。本アクセス方式は、図1に示したように、 W ビットのデータバス DB を持つ共有メモリ1と、この共有メモリ1に対して $n \times W$ ビットのデータをアクセスする場合に、 W ビットデータのアクセスを n 回行うに当たって、 $n \times W$ ビットのデータの最上位の W ビットデータをアクセスする際には最も低位のアドレスを出力し、最下位の W ビットデータをアクセスする際には最も高位のアドレスを出力する、いわゆるビッグエンディアン型のプロセッサ（以下、第1プロセッサという） $P1$ と、 $n \times W$ ビットのデータの最上位の W ビットデータをアクセスする際に最も高位のアドレスを出力し、最下位の W ビットデータをアクセスする際には最も低位のアドレスを出力する、いわゆるリトルエンディアン型のプロセッサ（以下、第2プロセッサという） $P2$ とを有するシステムに適用されるものであり、第2プロセッサ $P2$ と共有メモリ1とを接続するアドレスバス AB 上には、論理反転回路2が配設されている。なお、この論理反転回路2は、第1プロセッサ $P1$ と共有メモリ1とを接続するアドレスバス AB 上に配設してもよい。

【0009】【第1の形態例】第1の形態例に係るアクセス方式は、 n の値、すなわち1つのデータに対するアクセス回数が2の m 乗の場合に適用される例であり、この場合は、論理反転回路2は、いずれか一方のプロセッサから共有メモリ1に接続されるアドレス信号のうち、最下位の m ビットの論理を反転する。この反転処理により、図2に示したように、共有メモリ1上のアクセスされる位置が変更されて、図3に示したように、単位アクセス当たりのアクセスデータの配列が他方の型式のプロ

セッサによりアクセスされたデータの配列と同一になるので、 $n \times W$ ビットのデータを双方のプロセッサ間で同一の値としてアクセスすることが可能となる。このアクセス方式の欠点は、 n の値が2の m 乗の場合に限定される結果、固定されてしまうことである。しかし、全てのデータを n （2の m 乗） $\times W$ ビットの固定長に定義できる場合には、何ら問題なく使用することができる。

【0010】【第2の形態例】第2の形態例に係るアクセス方式では、論理反転回路2は、いずれか一方のプロセッサから共有メモリ1に接続されるアドレス信号の全てのビットの論理を反転する。この反転処理により、図1のように論理反転回路2を第2プロセッサ $P2$ 側に配設した場合には、図4に示したように、第2プロセッサ $P2$ から出力されるアドレスが高位であるほど、共有メモリ1内の低位のアドレスにアクセスすることになり、第1プロセッサ $P1$ によるアクセスの場合と全く同様のアクセス順序となって、図3に示したように、単位アクセス当たりのアクセスデータの配列が他方の型式のプロセッサによりアクセスされたデータの配列と同一になるので、 $n \times W$ ビットのデータを双方のプロセッサ間で同一の値としてアクセスすることが可能となる。この第2の形態例に係るアクセス方式では、ビット長の異なるデータが混在していたとしても、必ず双方のプロセッサでデータを同一値として共有することができるが、アクセス方法の欠点は、共有メモリ1内の同一のデータをアクセスするためのアドレスが、双方のプロセッサで異なることである。しかし、そのアドレスの対応は単純な関係で表せるため、共有メモリ1内で共有するデータ構造と配置が固定される場合においては、プログラム作成時にそれらのアドレスを簡単に決定することができるので、プログラム実行時の負担にはならず、プロセッサの実行効率が低下することはない。

【0011】【適用例】上記のような共有メモリに対するアクセス方式は、例えば、ファクトリ・オートメーションシステム、産業用ロボット等におけるモーションコントロール・ユニットに適用することができる。この種のモーションコントロール・ユニットは、一般に、図5に示したように、複数のサーボモータ10の制御を行うサーボコントローラ部11と、周辺装置12の制御や外部装置13との通信制御を含むユニット全体の統括制御を行うシステムコントローラ部14を有している。また、サーボコントローラ部11、システムコントローラ部14には互いに異なるタイプのプロセッサ、すなわち、ビッグエンディアン型、或いはリトルエンディアン型のプロセッサ $P1$ 、または $P2$ が搭載されている。そして、ユニット内には、これら両プロセッサ間で共有される共有メモリ1も搭載されており、この共有メモリ1といずれか一方のプロセッサ $P1$ 、または $P2$ とを接続するアドレスバス AB 上には、第2の形態例の論理反転回路、すなわちアドレス信号の全ビットを反転する論理

反転回路2が配設されている。

【0012】このモーションコントロール・ユニットでは、システムコントローラ部14のプロセッサがシステム制御プログラムを実行している際に、そのシステム制御プログラム中にサーボモータ10を制御するコマンドがあると、サーボコントローラ部11のプロセッサに制御要求コマンドを出力する。すると、サーボコントローラ部11のプロセッサは、制御要求コマンドに従ってサーボモータ10を制御し、制御が終了した場合や異常事態が発生した場合は、それら状態を示すデータをシステムコントローラ部14に通知する。これらのシステムコントローラ部14とサーボコントローラ部11との間で行われるデータの伝達は、全て共有メモリ1を介して行う。このデータの種類と内容は多岐に亘っているが、それらデータの共有メモリ1上での構造と格納位置、すなわち絶対アドレスは固定されているので、システムコントローラ部14とサーボコントローラ部11の両プロセッサが実際にアクセスする際のプログラム上のアドレスは、上述したように、予め簡単に決定することができる。

【0013】このように、いずれか一方のプロセッサと共有メモリとを接続するアドレスバス上に単に論理反転回路を設けて共有メモリ上に対するアクセスアドレスを変更し、単位アクセス当たりのアクセスデータの配列を他方の型式によりアクセスされたデータの配列と同一にするという簡単な構成で、複数回のアクセスによりアクセスされるべき1単位のデータを、双方のプロセッサ間で同一の値として共有し得るようにしているので、上記データを同一の値として共有させるために、単位アクセス当たりのアクセスデータの配列を変更するためのプログラムを用いる必要がなくなって、プログラムが複雑化するのを回避でき、プロセッサの実行効率が低下するのを防止することができる。

【0014】

【発明の効果】以上説明したように、本発明によれば、Wビットのデータバスを持つ共有メモリと、この共有メモ

* モリに対してアクセス可能ないわゆるビッグエンディアン型のプロセッサとリトルエンディアン型のプロセッサとを有するシステムにおいて、いずれか一方の型式の前記プロセッサと前記共有メモリとを接続するアドレスバス上に出力されたアドレス信号の所定ビット（全てのビットか、或いは1つのデータ当たりのアクセス回数nが2のm乗の場合は、最下位のmビット）を論理反転する論理反転回路を設け、この論理反転回路により共有メモリに対するアクセスアドレスを変更し、単位アクセス当たりのアクセスデータの配列を他方の型式によりアクセスされたデータの配列と同一にするので、共有メモリ上の複数アドレス位置に分納されたデータを同一の値として共有させるために、単位アクセス当たりのアクセスデータの配列を変更するためのプログラムを用いる必要がなくなって、プログラムが複雑化するのを回避でき、プロセッサの実行効率が低下するのを防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態例によるアクセス方式の構成を示す構成図である。

【図2】第1の形態例において、アドレス信号の最下位のmビットを論理反転した状態を示した図である。

【図3】反転されたアドレスにより双方のプロセッサによる単位アクセス当たりのアクセスデータの配列が同一になった状態を示した図である。

【図4】第2の形態例において、アドレス信号の全てのビットを論理反転した状態を示した図である。

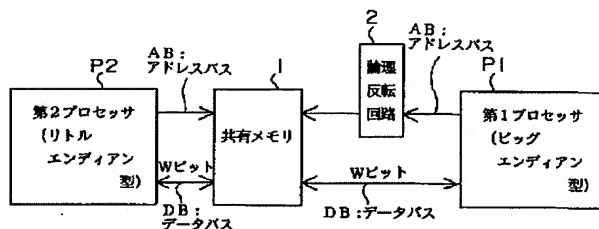
【図5】本発明の適用例に係るモーションコントロール・ユニットの概略構成を示す構成図である。

【図6】従来の問題点を示した図である。

【符号の説明】

1……共有メモリ、2……論理反転回路、P1……ビッグエンディアン型のプロセッサ、P2……リトルエンディアン型のプロセッサ、DB……データバス、AB……アドレスバス。

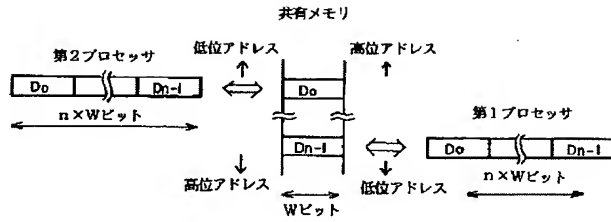
【図1】



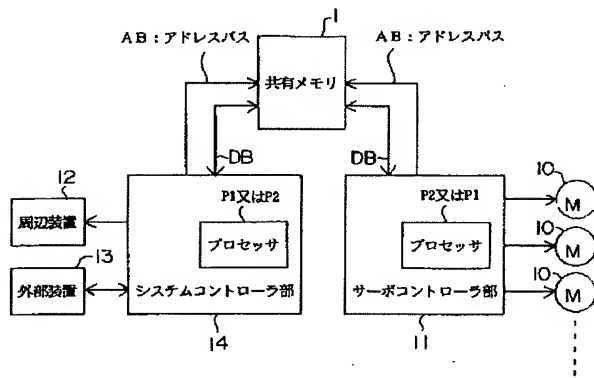
【図2】

| プロセッサから出力されたアドレス信号 | 最下位のm(m=2)ビットが論理反転されたアドレス信号 |
|--------------------|-----------------------------|
| 0 0 0 0 | 0 0 1 1 |
| 0 0 0 1 | 0 0 1 0 |
| 0 0 1 0 | 0 0 0 1 |
| 0 0 1 1 | 0 0 0 0 |

【図3】



【図5】



【図4】

| プロセッサから出力されたアドレス信号 | 全ビットが論理反転されたアドレス信号 |
|--------------------|--------------------|
| 0 0 0 | 1 1 1 |
| 0 0 1 | 1 1 0 |
| 0 1 0 | 1 0 1 |
| 0 1 1 | 1 0 0 |
| 1 0 0 | 0 1 1 |
| 1 0 1 | 0 1 0 |
| 1 1 0 | 0 0 1 |
| 1 1 1 | 0 0 0 |

【図6】

